

마이크로 접합부의 신뢰성 및 응용

신 영 의 · 하 범 용

Reliability of Micro Joint and Its Application

Young Eui Shin and Beom Yong Ha

1. 대표적인 마이크로 접합부의 신뢰성 평가

마이크로 접합부는 반도체소자, 전자부품 및 최근 주목 받고 있는 멀티미디어 등의 내부 소자간 및 단자간의 접합부위를 말한다. 이 마이크로 접합부는 접합하고자 하는 대상부가 미소, 미세하기 때문에, 접합대상부의 치수가 큰 경우에는 문제시되지 않았던 접합부의 용해량, 확산두께, 변형량, 표면장력 등의 영향을 고려해야 한다.

따라서 접합부의 시험방법도 이러한 치수효과를 고려하여 품질을 평가해야 할 것이다. 특히, 미세 전자부품의 접합면적은 수십 이하의 것도 많고, 접합이 되는 부품 및 제품이 고기능, 다기능의 품질을 요구하기 때문에 일반 접합부의 평가방법보다 각별한 주의를 필요로 한다.

마이크로 솔더 접합부의 신뢰성에 영향을 미치는 주된 요인으로는 첫째, 제조공정 단계에서 발생하는 내부 잔류응력이 신뢰성에 영향을 미치며 둘째, 제품 사용 단계에서 온도 변화에 의한 열팽창 계수 차이로 발생하는 열응력, 셋째, 고온, 습도에 의한 부식, 넷째 충격과 진동에 의한 강도 저하와 진동 피로 발생등이 있다.

또한, 고기능, 다기능화된 전기, 전자 회로에 있어서 미세접합부의 기본으로 요구되는 품질 특성으로 제품에 따라 요구되는 전단강도, 인장전단강도, Peel 강도 시험등이 있고, 장기 신뢰성 시험으로는 접합부의 수명과 관련되는 열피로, 크립, 이온 마이그레이션 시험등이 있다. 솔더접합부의 장기신뢰성을 확보하는 차원에서 이루어지는 시험은 열피로시험, 크립시험, 진동시험, 열충격시험 및 전기, 화학적시험 등이 있다. 기계적인 장기신뢰성시험은 솔더자체의 초기강도와도 관련성이 있으며, 대부분의 솔더는 소성변형을 수반하여 접합면에 응력이 집중하여 계면에서 파괴를 일으키는 경우가 많다. 또한, 완전히 파괴하지 않아도 솔더나 접합면에 미세균열이 발생하여, 그후의 신뢰성을 극단적

으로 떨어뜨리는 위험성이 있다. 따라서 각공정에서 충분한 주의를 하여 미세균열을 포함한 결함의 발생을 막아야 할 것이다.

1.1 열피로 파괴^{1~3)}

열피로 파괴는 구성재료의 열팽창계수 차이로 인해 열변형율이 재료의 항복 응력을 초과 하였을 때 발생하는 것으로 전기, 전자재료의 부품은 대부분 이종재료로 구성되어 있기 때문에 접합부에 응력이 집중하여 파괴하게 된다. 즉, 환경의 온도변화나 전자회로의 발열, 냉각의 반복으로 인해, 솔더접합부에 응력이 집중하여 소성변형하게 된다. 이것이 미세균열을 발생시켜, 균열로 성장하여 최종적으로 파단하게 된다. 파단까지 이르는 시간 즉, 파괴수명(N)은 접합부의 형상에 의존하며, 상당소성변형율 (equivalent plastic strain), 반복주파수, 온도의 폭 등에 의해 결정된다. 열피로 파괴 시험은 식 1의 Coffin-Manson 의 수정식을 이용하여 추정할 수 있다.

$$N_f = C \cdot F^m (\Delta \epsilon_p)^n \cdot \exp\left(-\frac{Q}{kT_{max}}\right) \quad (1)$$

여기서,

C : 재료상수

M, n : 지수

F : 반복주파수

$\Delta \epsilon_p$: 소성변형율 진폭

Q : 활성화 에너지

K : 볼츠만 상수

T_{max} : 사용 최고온도 이다.

Fig. 1은 TSOP(Thin Small Outline Package)솔더 접합부의 균열상태를 보인 것으로 온도변화에 따라 응력 집중부에서 균열이 발생하여 성장한 것을 알 수 있다.

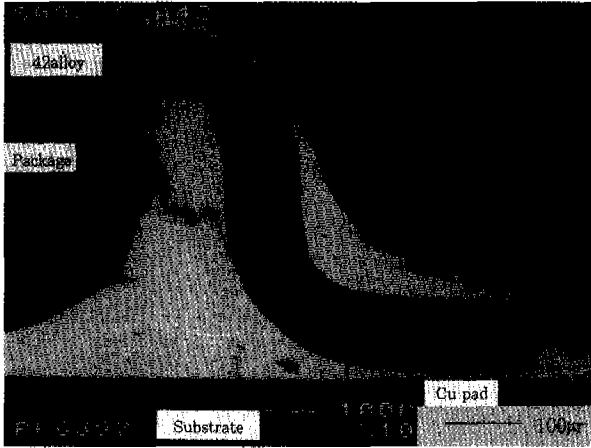


Fig. 1 TSOP 솔더 접합부의 500 cycle(-50°C~150°C) 후의 단면

결국, 균열이 진전하여 솔더 접합부가 파단되면, 전기적 단선 또는 접촉불량을 일으키게 된다.

솔더 합금의 열피로 특성은 온도, 반복부하의 속도(반복주파수), 변형률 속도, 첨가원소 등에 의존하게 되며 최근에는 Pb free 솔더의 열피로에 관한 연구도 활발히 진행되고 있다.

1.2 크리프(Creep)파괴⁴⁾

크리프는 재료에 일정온도, 일정하중을 가하게되면, 시간과 더불어 변형이 일어나는 성질이다.

솔더는 용점이 낮기 때문에 사용환경의 온도가 높으면, 크리프현상이 일어난다.

솔더의 용점은 183°C(Sn/Pb 공정조성) 전후에서 높아도 400°C정도이다. 반면에 사용온도 온도는 50°C~150°C로 높은 경우가 많다. 크리프현상은 사용환경온도가 솔더용점의 40%이상인 경우에 일어나기 쉽다. 단, 전자부품의 구성재료는 이종 재료가 많고, 이종재료의 접합부는 구성재료의 응력완화로 응력을 흡수하여 솔더 접합부의 크리프파단을 막아준다. 또한, 탑재되는 부품 및 소자가 가볍고, 기하학적으로 구속되는 조건이 많기 때문에 크리프에 의한 파괴는 많지 않다.

1.3 마이그레이션(Migration)

마이그레이션은 경박 미세 피치화에 따른 솔더 접합부에 높은 전계강도가 발생하여, 고온 다습 하에서 생성한 금속 이온이 음극 측에서 석출하여, 양극 측에 수지 모양으로 성장하여 단락하는 것을 말한다. Fig. 2는 각종 패키지 타입과 리드 피치와 전계강도와의 관계를 나타낸 것으로 고밀도 타입으로 갈수록 전계강도가 커져 마이그레이션을 발생하기 쉬움을 나타내고 있다.

마이그레이션에 의한 단락 수명(N_m)은 다음 수식(식 2)으로 표기할 수 있다.

$$N_m = C E^m H^n \cdot \exp\left(\frac{Q}{kT}\right) \tag{2}$$

여기서,

C : 상수

M, n : 지수

Q : 활성화에너지

K : Boltzman 상수(8.62×10^5 eV/K)

E : 전계 강도

H : 습도

T : 절대 온도 이다.

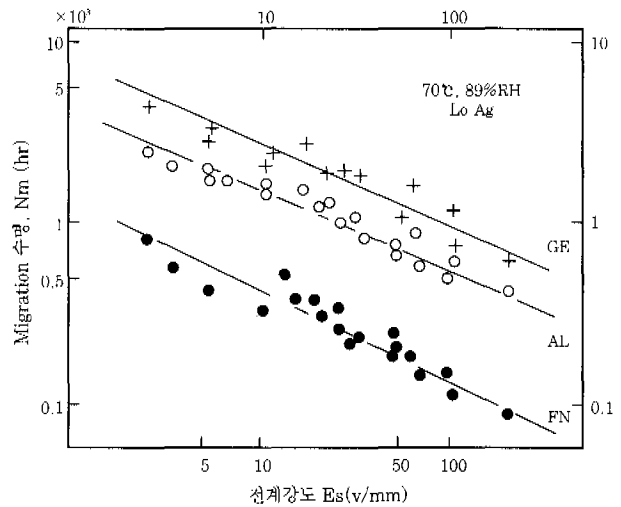


Fig. 2 수명과 전계강도와의 관계

2. 패키징 동향^{5,6)}

반도체 소자 패키지 기술은 초기 삽입형 패키지인 DIP, PGA 형태에서 패키지 크기가 작고 전기적 성능이 우수한 표면 실장형 패키지인 QFP, SOP 형태로 발전하여 극세 피치 표면 실장형인 TSOP, TQFP로 발전해 왔다.

이러한 경박 단소형 표면 실장형 패키지는 기존의 주변실장(peripheral array) 형태에서 면적실장(area array) 형태로 발전하여 급속하게 미소, 경량화의 추세로 나아가고 있다. 국내에서 BGA(Ball Grid Array)은 이미 실용화 단계에 있으며 BGA와 CSP(Chip Scale Package) 등이 상용화 혹은 그 직전 단계에 있다. 1980년대에 개발된 BGA는 높은 열적 손실을 요구하는 특별한 응용부품으로 컴퓨터 내부의 주요한 부분으로서 고속도 디지털 응용부품등에 쓰이고 있고 1990년대 초반에 시장에 등장한 CSP는 향후 21세기를 주도할 주요한 기술로써 자리잡게 되었다. 반도체

칩과 완제품의 크기가 거의 같을 정도로 얇고 작게 패키징하는 CSP 기술은 반도체의 경박단소화 추세에 힘입어 빠르게 성장하고 있다. CSP는 차세대 고속 메모리인 Direct Rambus DRAM의 주력 패키지로 채택됨으로써 이동전화나 디지털 카메라, 영국의 조사 기관인 BPA의 세계 수요 예측 결과를 보면 BGA, CSP의 신장이 주목된다.

디지털 비디오 캠코더등 휴대용 정보통신기기와 노트북 PC, PC 카드 및 워크 스테이션 등의 컴퓨터 영역까지 대폭 확대될 전망이다(Fig. 3).

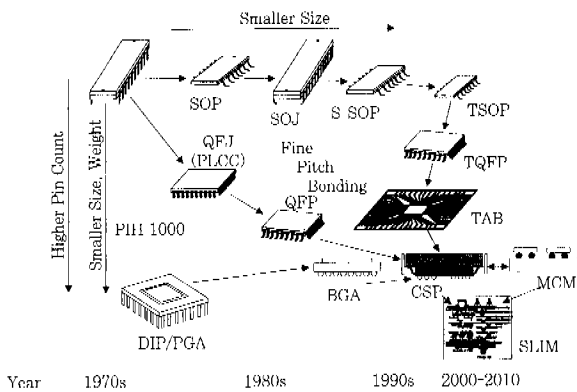


Fig. 3 패키징 경향

이에 따르면 1996년도에 약 1억개이던 세계 시장 규모가 2001년에는 2억개로 2006년에는 76억개까지 증가할 것으로 기대되고 있다. 즉, 양적으로 주류인 IC 패키지는 변함없이 SOP와 QFP이지만 BGA와 CSP의 신장이 다른 패키지와 비교해서 대단히 높을 것으로 예측된다.

패키징 기술은 크게 Logic device와 Memory device로 나뉘는데 그 둘의 발전 양상은 크게 현저한 차이를 보인다.

ASIC이나 Micro Processor로 대표되는 Logic device는 다핀화와 고밀도 실장의 2 가지 특징이 요구되고 있다. 종전의 삽입 실장형인 DIP으로부터 다핀형인 PGA 또는 표면 실장형인 QFP가 생겨나게 되었다.

그 후 두가지 특징을 만족시킬 수 있는 형태로 BGA family(PBGA, TBGA, CBGA)로 발전되어 왔다.

Logic device에 있어서 가장 현저한 특징을 보이는 것이 ASIC이다. Computer 성능의 향상에 따라 고기능, 고속화가 요구되고 있는 실정이다. 그로인해 device의 신호수가 증가하고 그에 따라 패키지도 다핀화가 요구되고 있다. 미국의 SIA의 자료에 따르면 2002년에는 수천핀이 될것으로 예측하고 있다. QFP는 이러한 요구를 위해 개발되었다고는 하지만 패키지의 구조상 lead의 fine pitch화의 경향을 감안하더라도 이와 같은 요구를 완전히 해결하는데에는 한계가 있

다. 그 때문에 다핀화를 위해서 PGA라는 삽입 실장형의 패키지로 grid array의 단자 배열을 가지며 열방산이 좋은 세라믹을 사용한 패키지가 고급품으로써 사용되고 있다. 한편 어디까지나 박형화라는 목표에서 보면 QTP(Quad TCP)가 notebook computer에 많이 사용되고 있다. 90년대 초의 예측으로는 고밀도 실장 플립 칩으로의 기술 주이는 당연히 QFP의 fine pitch(0.5mm 이하)로부터 TCP(0.3mm 이하)를 거칠 것이라고 예상했었다. 그러나 0.3mm pitch 이하의 일괄 리플로우 솔더링은 실장 yield라고 하는 난관에 부딪치게 되었고, 우리나라에서도 fine pitch 기술자들의 많은 노력에도 불구하고 아직 일반화되지 않고 있다. 물론 일부 메이커에서는 TCP의 실장을 일괄 리플로우 라인을 기존의 리플로우 라인과는 별도로 갖추어 특수 기술로 실행하고 있기는 하지만 아직 일반화되지는 않았다.

현재 나타나 있는 것은 PBGA 즉 ball grid array 실장형의 출현이다. TCP를 경유하여 진행하려던 흐름이 PBGA, TBGA, FBGA(CSP)로 진행되면서 플립칩 실장으로 자연스럽게 회귀하는 변화를 가지게 되었다.

Micro processor에서도 거의 같은 경향을 보이고 있으나, 조금 더 자세히 설명한다면, 양극화를 보이고 있다. 즉 컴퓨터의 CPU와 같은 hi-end 제품은 고속화 고기능화를 위해 면적실장형인 PGA가 주로 사용되고 있고 low-end 제품에서는 저 cost가 주된 목표이기 때문에 100~200핀 정도의 QFP가 주로 사용되고 있다.

최근 소형화와 실장 편리성, 실장 비용등의 이유로 BGA 또는 CSP를 사용하는 경향을 보이고 있다.

반면 DRAM으로 대표되는 Memory device는 단자수는 그다지 많지 않지만 소형화, 박형화의 특징을 갖는다. Memory device 또한 삽입 실장형인 DIP로부터 표면 실장형인 SOP family(SOJ, TSOP)로 발전되어 왔다. 하지만 2000년대 들어서면서부터 고속, 소형화의 목적으로 BGA 또는 CSP의 형태로의 전환에 힘을 기울이고 있다.

Memory device에 있어서는 단자수가 수십핀 정도로서 주로 SOP family가 사용된다. Memory는 module화(DIMM, SIMM)되는 경우가 많아 고밀도화를 위해 박형화를 꾀한 TSOP가 지금의 주류로 되어가고 있다. Memory device의 chip size는 각 세대마다 증가하고 있으며 chip의 면적이 TSOP package 면적에 점유하는 비율이 64M DRAM인 경우 거의 90% 가까이 되고 있다. 그렇지만 시장을 둘러싼 소형화의 요구에 따라 BGA 또는 CSP가 차차 채용되기 시작하고 있다.

2.1 BGA(Ball Grid Array) 패키지⁷⁾

Ball grid array란 이차원적 평면에 격자 형식으로 분포된 솔더 볼을 통하여 패키지와 다음 레벨 패키지인 PCB 등과 전기적으로 연결하는 것을 말한다. 따라서 BGA는 주변(peripheral array) 실장 형태보다 단위 패키지 면적당 매우 높은 수의 I/O 수(Fig. 4)를 가질 수 있으므로 Logic device와 같은 고성능 패키지에 적합하다.

BGA 패키지를 사용함에 따른 장점은 솔더 볼을 사용하여 전기적 접속을 함으로써 짧은 접속 거리에 의해 QFP보다 낮은 인덕턴스와 커패시턴스를 가지며(Fig. 5), 또한 BGA 기판을 설계하는 과정에서 그라운드면을 사용함으로써 고전기적 성능 패키지가 가능하다.

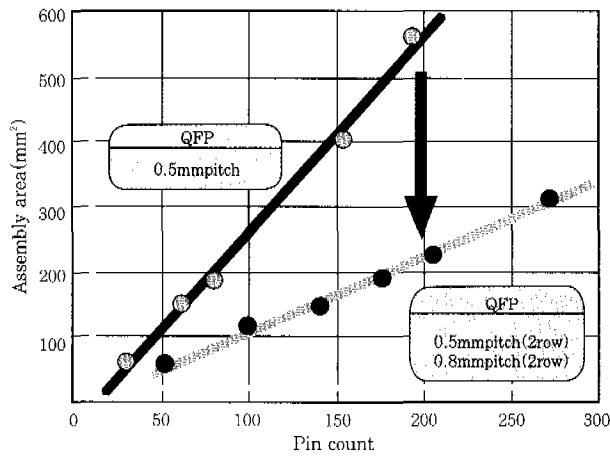


Fig. 4 주변실장형 패키지와 면적실장형 패키지의 실장 효율의 차이

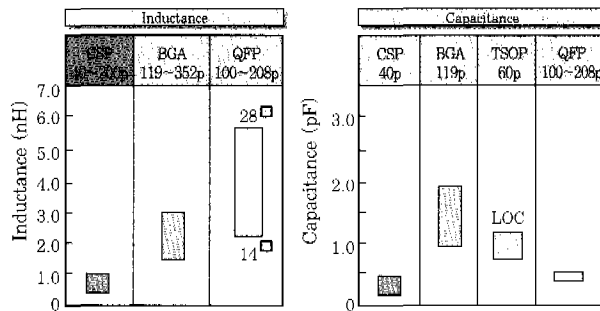


Fig. 5 각 패키지간의 전기적 성능 차이

또한 BGA는 칩 바로 아래에 있는 솔더 볼이 열을 방출하는 역할을 하므로 열 특성도 우수하다.

같은 면적을 가지는 1.2mm 피치 BGA 패키지와 0.5mm 피치 QFP를 비교해볼 때 QFP의 경우 약 240개의 I/O를 얻을 수 있는 반면 BGA의 경우는 패키지 전체 면적에 I/O의 접속이 가능하기 때문에 500개 이상의 I/O 수를 얻을 수 있으며, 만약 1mm 이하의 피치를 사용한다면 I/O의 수를 1,000개 이상까지도

얻을 수 있다. 또한 패키지의 크기면에서도 동일한 I/O 수를 가진 QFP에 비해 약 50%에 불과하다.

이와 같이 BGA는 높은 I/O 수, 적은 패키지 면적, 비교적 넓은 피치로 인한 높은 생산성등의 장점을 갖고 있다.

그러나 BGA의 문제점으로 솔더 볼 연결 부위에서의 응력 발생과 이에 따른 신뢰성 문제 및 솔더 볼 결함을 검사하는 방법 및 재작업이 용이하지 않다는 점등이 문제점으로 지적되고 있다.

BGA는 그 쓰이는 기판의 종류에 따라 Plastic BGA(PBGA), Ceramic BGA(CBGA), Tape BGA(TBGA)등으로 분리되며 각각의 특징은 다음과 같다.

● PBGA

Fig. 6는 PBGA의 단면을 나타내고 있다. 칩은 BT resin 재질의 substrate에 접합된다. PBGA는 CBGA보다 가격이 낮고 기판 전기적 성능이 우수하다. 은을 함유한 에폭시 칩 접착제를 사용하여 substrate에 접착시키고 에폭시 수지를 사용하여 불딩시킨다. PBGA는 가격이 저렴하여 가장 널리 쓰이고 있는 형태로 대개 600 I/O 이하의 ASIC, 마이크로 프로세서, 고속 SRAM 등에 사용된다. 그러나 플라스틱을 기판 재료로 사용하기 때문에 수분 흡수에 따른 패키지 내부의 Cracking과 같은 문제가 패키지의 신뢰성 문제를 유발하기도 한다.

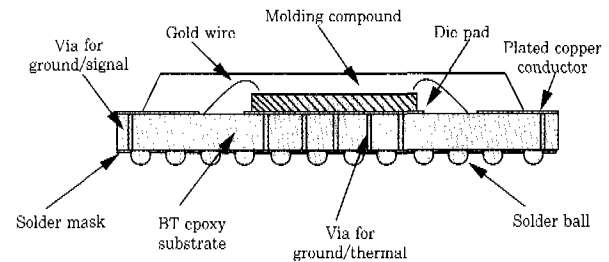


Fig. 6 Plastic ball grid array

● CBGA

CBGA는 알루미늄 세라믹 기판을 substrate로서 사용한다. 알루미늄 세라믹 기판이 수분의 흡수를 차단하기 때문에 PBGA보다 수분의 흡수로 인한 문제점이 비교적 적고 견고한 구조를 가지고 있기 때문에 특별한 신뢰성을 요구하거나 패키지가 사용하는 환경이 열적 안정성 또는 내식성을 요구하는 경우에 적합하다. 그러나 세라믹 기판의 무게가 상당한 비중을 차지하기 때문에 다른 형태의 BGA보다 무겁고 제조 단가가 상당히 비싸다는 단점을 안고 있다. Fig. 7은 CBGA의 단면을 나타낸다.



Fig. 7 Ceramic ball grid array

● TBGA

TBGA(Fig. 8)는 TAB 테이프에 보강판(stiffener)을 접착시킨후 칩을 플립 칩 접합시킨다. TAB 테이프의 반대쪽은 BGA 형태로 솔더볼을 접착시킨다. 칩의 열 방출은 방열판을 칩의 뒷면에 부착시켜 직접 방열시킨다. 이 TBGA는 위의 다른 두 가지보다 미세 피치가 가능하여 매우 큰 수의 I/O 접속이 가능하고 상대적으로 소형화, 경량화에 유리한 구조를 가지고 있다. 또 다른 TBGA의 장점으로 PCB와의 열팽창계수 차이가 비교적 적어 열적 안정성이 매우 우수하다는 점이다.

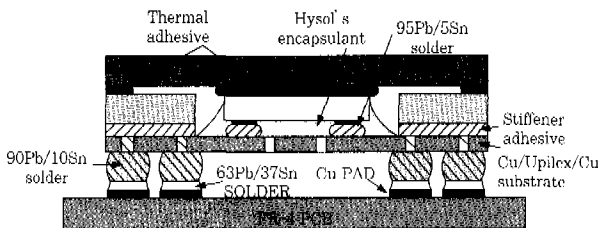


Fig. 8 TAB ball grid array

2.2 CSP(Chip Scale package)

CSP 패키지는 미세 피치 패키지와 BGA 패키지가 더욱 발전한 차세대 패키지로서 BGA 기술, 플립칩 접합 기술, 와이어 본딩 기술, 몰딩기술등 기존 패키지의 장점을 모두 사용한 것으로서 반도체 칩 크기보다 약간 (칩/패키지 비율 80%이상) 큰 패키지를 말한다. CSP 기술은 기존 단일 칩 패키지 기술 중에서는 가장 작고 가벼우며 뛰어난 전기적 성능과 일반 표면 실장 기술을 이용할 수 있는 장점을 갖고 있다.

그러나 경박단소화에 따른 신뢰성 문제 및 CSP 규격화와 인프라 구조 문제, 높은 제조가격등이 앞으로 해결해야 할 숙제이다. 이 같은 장단점에도 불구하고 미국,일본 등을 중심으로 활발하게 여러 형태의 CSP 기술이 개발되고 있으며 이미 양산화되어 사용중에 있다.

CSP는 Fig. 9와 같이 크게 6가지 형태로 분류할 수 있다.

그러나 이전의 여러가지 CSP 패키지는 웨이퍼 상태에서 바로 패키지 형태로 가공하는 Wafer level CSP 패키지의 출현을 통해 wafer 가공을 통해 패키지를 가공함으로써 가격을 낮출수 있고 기존 CSP 패키지의 모든 장점을 유지함으로써 CSP 패키지의 새로운 추세가 되어가고 있다. 이에 따라 현재 다양한 WL CSP 패키지가 개발되고 있다(Fig. 10).

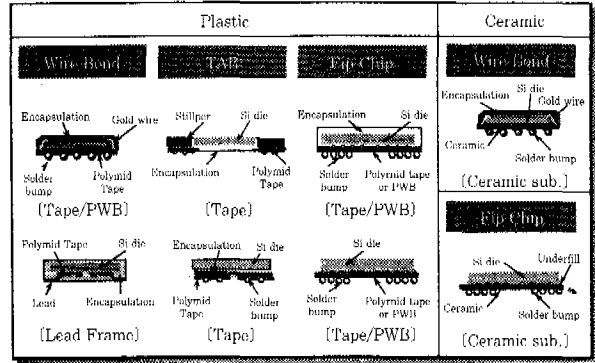


Fig. 9 여러가지 CSP의 형태

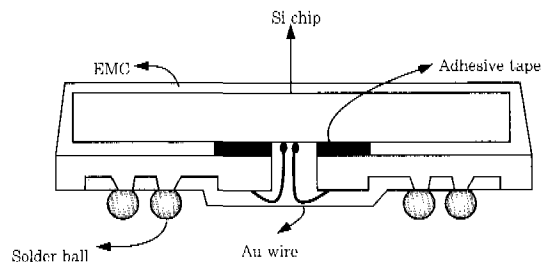


Fig. 10 웨이퍼레벨 CSP의 개략도

3. 마이크로 솔더링 프로세스

3.1 솔더의 도포^{8,9)}

미세 피치 표면 실장에서의 솔더의 도포시 고려해야 할 가장 중요한 것은 최적의 솔더의 양을 정확한 위치에 도포해야 한다는 점이다.

솔더를 PCB의 구리 패드에 도포하는 방법은 크게 두 가지로 나눌 수 있다.

● 스텐실을 이용한 솔더 페이스트 프린팅

프린팅된 솔더 페이스트의 양은 스텐실 구멍의 길이, 폭, 깊이에 의해 결정된다.

정확한 솔더 페이스트의 프린팅을 위해 솔더 페이스트의 교반-프린팅-검사의 일괄 작업이 요구된다.

또한 각기 다른 피치를 갖는 부품을 일괄 작업해야 할 경우 최적의 솔더 페이스트의 양을 프린팅하기 위해 부분적으로 에칭된 스텐실을 이용하기도 한다.(Fig. 11)

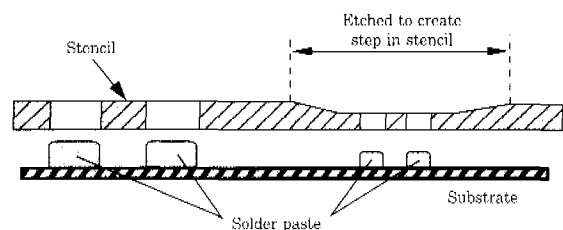


Fig. 11 계단형 스텐실(step stencil)

● 고체 솔더의 도포(Solid solder deposition, SSD)
 최근에 최적의 솔더 양의 도포와 높은 생산효율을 위한 해결책으로서 고체로 된 솔더를 도포하는 기술이 개발되고 있다. 이것은 PCB의 생산 단계에서 PCB의 구리 패드위에 솔더를 입히는것으로써 생산라인에서 작업해야할 여러가지 일들(예를 들어 솔더 페이스트의 프린팅)을 생략 할 수 있고 솔더의 양도 솔더 페이스트를 프린팅 할때보다 좀 더 정확하게 제어할 수 있다. 현재 제시되고 있는 기술로써 솔더의 전기도금, 지멘스社와 듀폰社에서 개발한 SIPAD(Fig. 12), SIPAD를 발전시킨 Optipad, PPT등이 있으며 이 밖에도 수퍼 솔더, 액체 솔더 분사와 같은 기술이 제시 되고 있다.

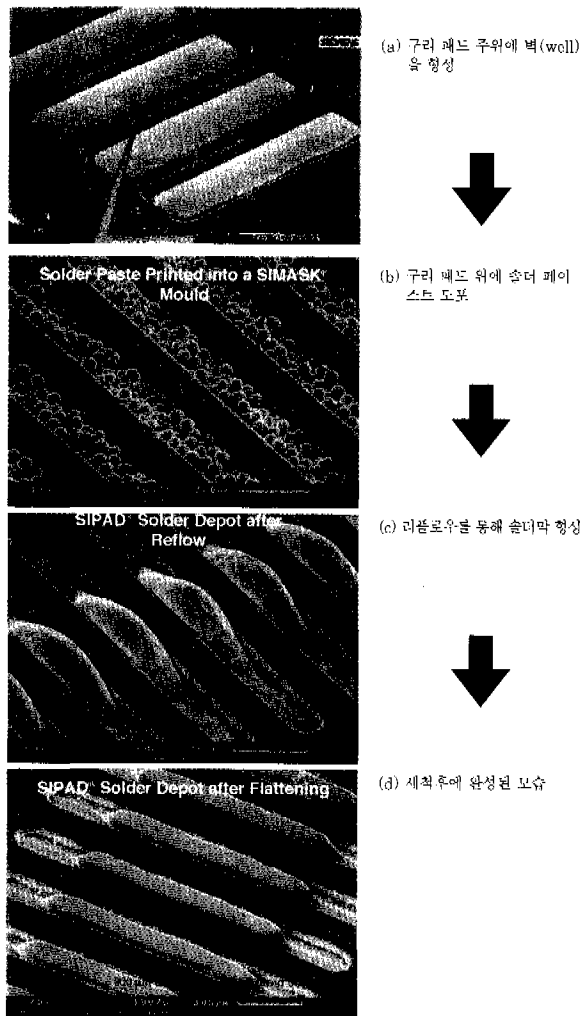


Fig. 12 대기 분위기에 따른 솔더접합부 품질

3.2 리플로우

현재 리플로우 솔더링에 적용되는 가열 방식으로는 적외선 가열, 열풍의 강제 대류, 증기의 잠열에 의한 가열, 레이저에 의한 부분 가열등의 방법에 사용되고 있다. 현재 가장 보편적으로 사용되는 방식은 적외선가

열과 대류에 의한 가열이 혼합된 방식 이지만 대류에 의한 방식이 부품에 따른 온도 차이가 적고 열적 안정성이 높으며 많은 양의 열 에너지를 공급할 수 있으므로 완전한 대류만에 의한 가열 방식이 대두되고 있다.

리플로우 솔더링 시 가장 중요한 것은 PCB에 장착된 각각의 부품에 가해지는 온도차이를 줄이는 것, 항상 같은 온도 프로파일을 유지하는 것 등이다. 또한 BGA 나 CSP와 같은 면적 실장형 패키지는 솔더 접합부가 열원에 직접적으로 노출되지 못하기 때문에 리플로우 공정에서의 각 솔더 접합부에 가해지는 온도의 차가 발생하고 있다. 이를 해결하기 위해 많은 연구가 계속되고 있다.

그리고 리플로우시 발생하는 구리 패드 표면의 산화와 이로 인한 젖음성의 저하를 막고 솔더볼이나 브릿지와 같은 결함을 방지(Table 1)하기 위해 질소나 수소, 아르곤과 같은 불활성 분위기에서 작업하는 방법이 많이 사용되고 있다.

Table 1 대기 분위기에 따른 솔더접합부 품질

Atmosphere	Air	N ₂	N ₂ H ₂
Defect rate	2400ppm	420ppm	125ppm

(a) 대기 분위기에 따른 솔더 접합부 결함 발생률의 차이

Solder paste	Activation type	Atmosphere		
		Air	N ₂	N ₂ H ₂
A	RMA	1	1	1
B	R	3	1	1
C	RMA	3	1	1
D	RMA	4	1	1
F	RMA	4	1	1

(b) 대기 분위기에 따른 솔더 불 발생의 차이

3.3 솔더 페이스트¹⁰⁾

최근에 환경에 대한 관심이 높아지면서 세계 각국에서는 프레온가스나 납과 같은 환경오염물질에 대한 규제가 심해지고 있다.

이에 대한 대비책으로써 솔더링 업계에서는 수용성 플럭스, 저잔사 플럭스를 사용하고 있으며 무플럭스 솔더링을 위한 많은 노력을 기울이고 있다. 또한 납에 대한 규제에 따라 여러가지(Sn-Ag계열, Sn-Zn 계열등등) 무연솔더가 개발 중이고 현재 Sn-Pb 공정 솔더를 대체중이다. 시판되고 있는 무연솔더는 용융점이 기존의 Sn-Pb 공정 솔더(M.P : 183℃)보다 약 40~50℃ 정도 높으므로 패키지 내부의 신뢰성에 악영향을 미칠 가능성이 있고 또한 젖음성이 Sn-Pb 공정 솔더보다 나쁘기 때문에 불활성 분위기에서 작업하는것과 같은

추가적인 조치를 필요로 하는등의 문제점을 갖고 있다. 이에 대한 많은 연구가 이루어 지고 있고 앞으로도 계속 될것이다.

이 밖에도 전도성 접착제와 같은 신물질이 속속 등장하고 있으나 아직은 솔더를 완전히 대체하지는 못하는 실정이다.

4. 마이크로 집합의 금후과제

마이크로 집합은 집합부 치수의 한계를 초월한 집합 공학 및 기술 개발이 요구되며 이러한 마이크로 집합부 치수의 소형화 이외에도 전자 기기 및 부품의 금후 발전을 지원하기 위해서는 다음과 같은 과제에 관하여 연구 개발의 성과를 올릴 필요가 있다.

- (1) 집합 반응층의 치수 및 성질의 제어 기술
- (2) 집합 재료 공급량의 제어 기술
- (3) 집합 계면의 분석 기술
- (4) 부품 치수 및 위치 결정의 제어 기술
- (5) 저온 집합 기술 및 보수 기술
- (6) 소재의 국산화 및 신소재 이용 기술
- (7) 평가 기술의 확립



- 신영의(辛永議)
- 1956년생
- 중앙대학교 기계공학부
- 마이크로집합, 솔더링, 패키징, 집합부의 검사 및 평가
- e-mail : shinyoun@cau.ac.kr



- 하범용(河範容)
- 1974년생
- 중앙대학교 기계공학부
- 집합부의 신뢰성 평가
- e-mail : bcomyong@hotmail.com

참 고 문 헌

1. 신영의, 김경섭 : 패키징 유형에 따른 솔더 집합부의 열피로에 관한 연구, 대한용접 학회 제17권 6호(1999)
2. 신영의, 김종민 : 플라스틱 IC 패키지 집합부의 수명예측 및 품질향상에 관한 연구, 대한용접학회 제17권 1호(1999)
3. 신영의, 윤준호 : 표면실장용 IC 패키지솔더 집합부의 열피로 수명 예측, 대한용접학회 제16권 4호(1998)
4. 신영의 외 : 용접, 집합 편람, 대한용접학회(1998)
5. 신영의, 정재필, 강춘식 : 전자산업에서의 마이크로 솔더링 기술, 대한금속학회 제12권 6호(1999)
6. Kunihiko Nishi : Current semiconductor packaging in Japan, 한일 반도체 패키징 기술 세미나(1999)
7. John H. Lau : Ball grid array, McGraw-Hill(1995)
8. Hans Danielsson : Surface mount technology with fine pitch components, Champman & Hall(1995)
9. Y.C.Lee, W.T.Chen : Manufacturing challenges in Electronic packaging, Champman & Hall(1998)
10. 신영의, 김영탁 : Pb free 솔더를 사용한 솔더집합부의 집합강도 향상에 관한 연구, 대한용접학회지 제15권 2호(1997)