특집 : TSV를 이용한 3차원 전자접합

3차원 실장을 위한 TSV의 Cu 충전 및 Si 칩 적층 기술

노명훈 · 박상윤 · 김원중 · 정재필

Cu Filling into TSV and Si Dice Stacking for 3 Dimension Packaging

Myong-Hoon Roh, Sang-Yoon Park, Wonjoong Kim and Jae-Pil Jung

1. 서 론

최근 전자제품의 소형화, 다기능화의 요구가 증가함에 따라 고집적, 고밀도의 반도체 소자를 제조하기 위한 차세대 패키징 기술로서 TSV (Through Silicon Via)를 이용한 3차원 패키징 기술 연구가 활발히 진행되고 있다. TSV를 이용한 3차원 패키징 방법은 실리콘 웨이퍼를 관통하는 비아 (via) 홀에 전도성 금속을 충전시켜 칩 내부에 전기적 통로를 확보한 후 여러 개의 칩을 적층하여 실장하는 방법으로 실리콘 웨이퍼 내부에 모든 멀티칩 시스템을 형성할 수 있으며, 다른 멀티칩 모듈과 비교하여 높은 집적도를 가질 수 있는 기술이다. 또한, 칩간 연결에서 가장 단거리로 전기적 통전을 가능하기 때문에 신호전달감소와 전력소모를 최소화할 수 있는 장점을 갖고 있다. (그림 1 참조[1])

TSV를 이용한 3차원 적층실장을 위해서는 TSV를 형성하는 기술, TSV에 기능 박막층을 증착하는 기술, TSV내 전도성 금속을 충전하는 기술, 웨이퍼 박층화 기술, 적층 기술 등 다양한 기술이 요구된다. 웨이퍼에 TSV를 형성하는 대표적인 기술에는 레이저 드릴 (Laser Drill) 방법[2]과 DRIE (Deep Reactive Ion Etching) 방법[3]이 있으며, 다수의 TSV의 형성 및 다양한 종횡비의 비아 홀 형성이 가능한 DRIE 방법이 선호되고 있다. TSV에 기능 박막층을 증착하는 기술에는 습식 또는 건식 산화법과 PECVD를 사용하는 방법이 있으며, TSV내 전도성 금속을 충전하기 위한 방법으로 전해도금이 대표적으로 사용되고 있다. 웨이퍼의 배면을 제거하여 충전된 TSV의 개구부를 노출시키는 웨이퍼 박층화 기술로는 CMP (Chemical Mechanical Polishing) 방법이 사용되고 있으며, 솔더 범프를 형성하여 웨이퍼를 적층하는 방법이 가장 많이 이용되고 있다. (그림 2 참조)

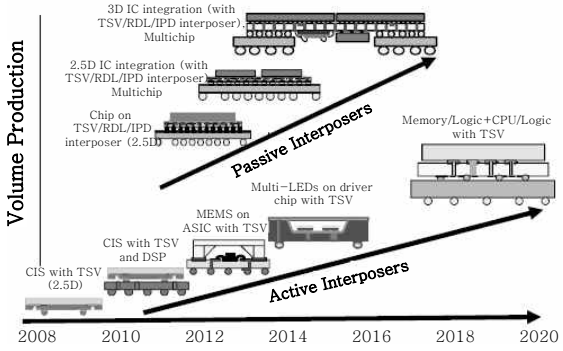


Fig. 1 3D IC integration roadmap (excluding all memory-chip stacking)[1]

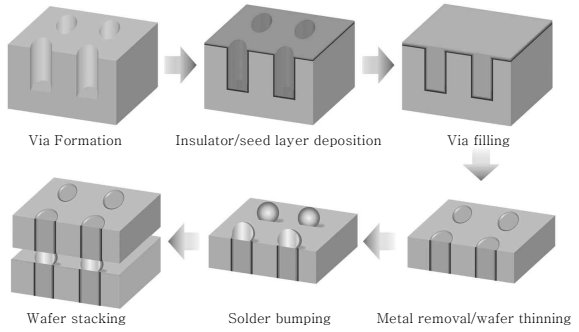


Fig. 2 Schematics of conventional blind via filling and Si chip stacking process

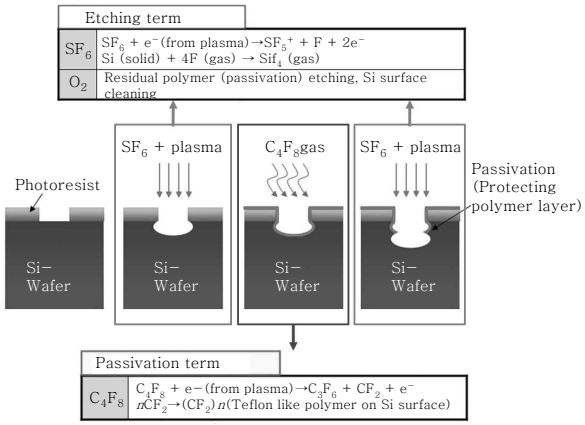
본고에서는 TSV를 이용한 3차원 패키징 기술에서 중요한 인자로 작용하는 TSV 형성, 기능 박막층 형성, 전도성 금속 충전 방법 및 실리콘 웨이퍼 적층 공정에 관하여 기술하고자 한다.

2. TSV 형성 및 적층 공정

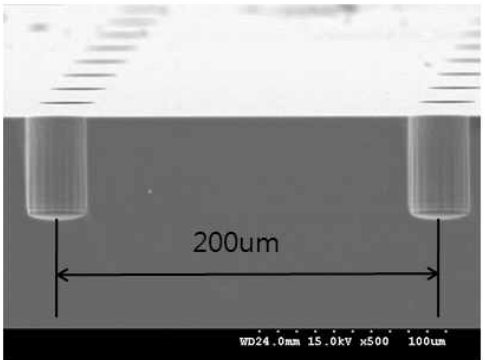
2.1 TSV 형성

TSV를 형성하기 위한 방법으로서 DRIE 공정과 레이저 드릴 공정이 사용되고 있다. 이 중 레이저 드릴 공정은 레이저를 이용하여 실리콘 웨이퍼에 비아 홀을 형성하는 기술로 대면적에 용이하고 금속층의 가공이

Journal of KWJS Vol.29 No.3(2011) pp295-300
DOI : 10.5781/KWJS.2011.29.3.295



(a)



(b)

Fig. 3 Schematics of DRIE process (a) and cross section of vias (b)

가능하며, 친환경적이면서 리소그라피 공정이 필요 없어 공정이 간편하다는 장점이 있다[2]. 그러나 레이저 드릴 공정은 alignment가 어려우며, 개구부 주변의 많은 표면부산물 (surface debris) 처리 문제와 종횡비 (aspect ratio)가 큰 비아 홀 형성이 어렵다는 문제점을 가지고 있다. 반면에 DRIE 공정은 반도체 공정에서 사용하는 SiF_6 플라즈마를 이용하여 실리콘 웨이퍼를 식각하는 공정과 C_4F_8 플라즈마를 이용하여 식각된 실리콘 외벽에 등방성 에칭 방지용 보호층 증착을 반복하여 이방성 에칭을 유도하는 공정이다[3]. 이러한 DRIE 공정은 다수의 TSV를 동시에 형성할 수 있고, 레이저 드릴 공정에 비해 다양한 TSV의 크기 및 종횡비 조절이 가능하며 공정 중 부산물에 의한 불량률 및 alignment 문제가 없다. 그러나 DRIE 공정의 경우 TSV가 형성될 영역만 노출 시켜줄 마스크 및 리소그라피 공정이 필요하여 공정이 복잡한 단점을 가지고 있다.(그림 3 참조)

2.2 기능 박막층 형성

기능 박막층이란 TSV 내에 전도성 금속을 충전하기 전에 다양한 목적으로 증착하는 박막으로서 일반적으로 절연층 (SiO_2, SiN), 접합/확산방지층 (Ti), 시드층 (Cu, Au)의 순서로 비아 홀 내부에 형성한다. 절연층으로 SiO_2를 형성하기 위해 습식/건식 산화법 또는 PECVD (Plasma Enhanced Chemical Vapor Deposition) 방법을 사용한다. 습식/건식 산화법을 이용하여 SiO_2 절연층을 형성할 경우 저비용이면서 대량생산이 가능하나 CMOS의 내열 한계로 여겨지는 알루미늄과 실리콘의 공정 온도 577℃를 초과하는 1000~1100℃에서 이루어지는 단점이 있다. 반면에 PECVD 공정은 300~500℃에서 공정이 이루어지기 때문에 CMOS의 내열 한계 이하의 온도에서 SiO_2 절연층 형성이 가능하다.

접합/확산방지층과 시드층은 CVD (Chemical Vapor Deposition) 또는 PVD (Physical Vapor Deposition)을 이용하여 증착한다. 접합/확산방지층은 절연층인 SiO_2와 시드층의 약한 접착력을 보완해 주면서 시드층으로 사용된 금속 (Cu)이 SiO_2 절연층 내부로 확산 되는 것을 막아주는 박막층으로 Ti이 대표적이다. 시드층은 저렴하면서 전도성이 우수한 Cu가 많이 사용되고 있으나 절연층 내부로의 확산 조절이 어려운 단점이 있다. 반면에 시드층으로 Au를 사용할 경우 비아 홀 충전을 위한 도금에서 전처리 공정이 필요 없으며, 황산기반 도금액에서 Cu에 비해 안정하나 고비용인 단점이 있다.(그림 4 참조[4]) 한편 최근 비아 홀의 미세화 및 높은 종횡비가 요구되면서 CVD나 PVD를 이용하여 기능 박막층을 형성할 경우 shadowing effect가 발생하는 문제점이 야기되고 있으며, 이를 해결하기 위한 방법으로 무전해 도금 공정을 이용하여 기능 박막층을 형성하는 연구도 보고되고 있다[5].

2.3 전도성 금속 충전 및 웨이퍼 박막화

TSV 충전에 사용될 소재의 특성으로는 높은 전기전도도, 낮은 응력 및 열 신뢰성이 좋아야 한다. 이러한 특성을 만족시키는 소재로 W[6], 폴리실리콘[7], 솔더[8], Cu[3] 등이 있으며 W과 폴리실리콘은 CVD를 이용하여 충전을 하고, 솔더는 MMSM (Molten Metal Suction Mechod) 방법으로 충전을 한다. 각각의 충전 방법에 장단점이 있으나 본고에서는 현재 TSV에 가장 많이 사용되는 Cu 전해도금법에 대해서 기술하고자 한다.

Cu 전해도금법은 이미 반도체 공정에서 보편화된 기술로서 공정비용이 비교적 저렴하고 실리콘 웨이퍼, PCB (Printed Circuit Board) 패드 등에 적용분야가 넓고, 양산이 용이하다. 그러나 Cu 전해도금법은 앞 절에서 설명한 기능 박막층 증착이 선행되어야 하며, 종횡비가 높은 TSV의 경우 균일한 시드층 증착이 어려

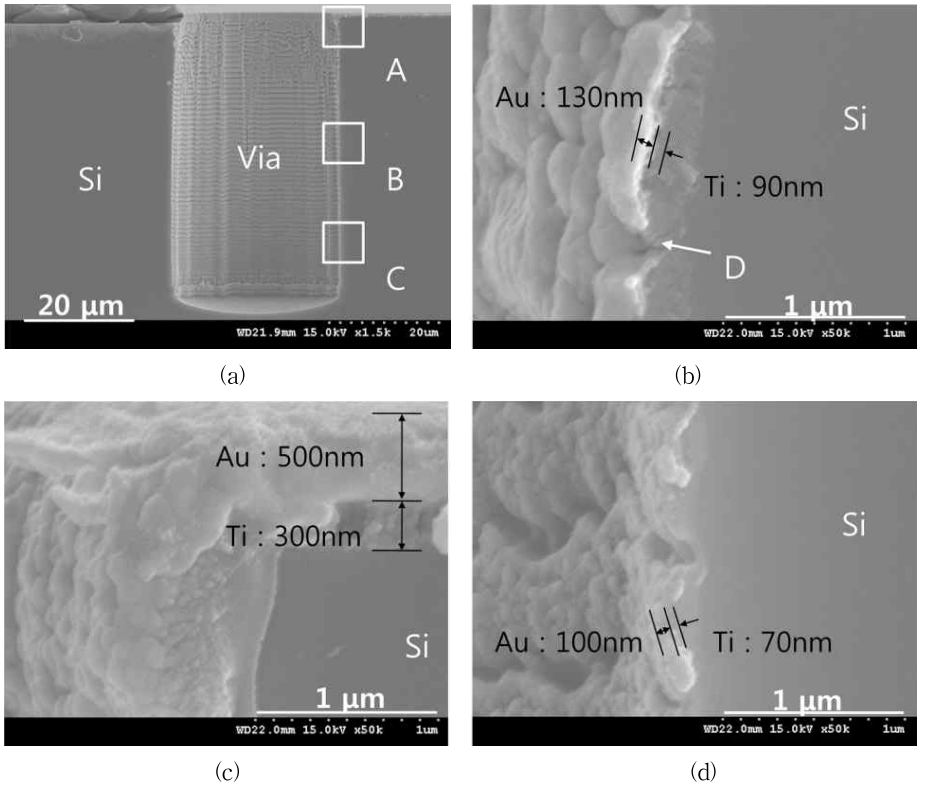


Fig. 4 FE-SEM results of SiO_2 and Ti/Au deposit layers on a straight via; (a) whole via, (b) enlarged A, (c) enlarged B, (d) enlarged C[4]

위 균일한 Cu 도금층을 형성하기 어려우며 도금 시간이 대부분 15시간 내외로 길다는 단점이 있다. 따라서 균일한 시드층의 형성과 Cu 전해도금의 충전 시간을 단축하려는 연구가 활발히 진행되고 있다.

Cu 전해도금법은 전류의 종류에 따라 크게 DC (Direct Current)법과 펄스 전류법으로 구분할 수 있다. DC 전해도금법을 이용하여 비아 홀을 충전할 경우 비아 홀의 위아래 이온밀도 차이 영향이나 개구부 모서리의 전류집중 영향으로 개구부가 먼저 막혀버리는 현상이 발생한다. 비아 홀의 위아래 이온밀도 차이를 줄이기 위여 비아 홀 내벽을 다양하게 표면처리 하여 비아 홀 내벽과 도금액 사이의 젖음성을 향상시켜 Cu 충전을 하는 연구가 보고되었다[9]. 개구부 모서리의 전류집중에 따른 개구부 막힘, 시임 (seam), 기포 등의 문제를 해결하여 종횡비가 높은 비아 홀을 충전하기 위해 펄스 전류법이 고안되었다[3]. 펄스 전류법은 환원전류와 산화전류를 교대로 인가하여 개구부의 전류 집중을 방지하는 방법이다. 최근에는 비아 홀의 결함 방지뿐만 아니라 충전시간을 단축시키기 위해서 도금 억제제와 가속제가 첨가된 도금액에 개구부가 경사진 TSV를 이용하여 Cu를 충전하는 연구[10], 환원전류와 산화전류를 인가한 후 오프타임 (off-time)을 둬 그 시간 동안 비아 홀 내부로 Cu 이온이 확산되어 들어갈 수 있게 하는 PPR (Periodic Pulse Reverse) 전해도금법[4] 등이 연구되고 있다. (그림 5 참조) 다양한 방법으로 Cu 충전된 TSV는 웨이퍼 표면에 도금된 금속층과 배면을 CMP를 공정을 통하여 연마하는 웨이퍼 박막화 공정 후 솔더 범핑 및 적층 공정에 적용된다.

한편, TSV가 형성된 웨이퍼에 박막화 공정을 먼저 수행한 후 하단에 Cu 시드층을 증착하여 하단부터 Cu 충전이 시작하도록 하는 상향식 (bottom-up) Cu 전해도금도 연구되고 있다[11]. (그림 6 참조) 상향식 Cu

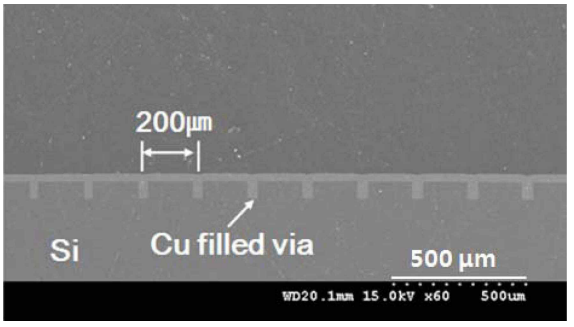


Fig. 5 Cu filling into via holes electroplated by PPR wave current for 1 hr[4]

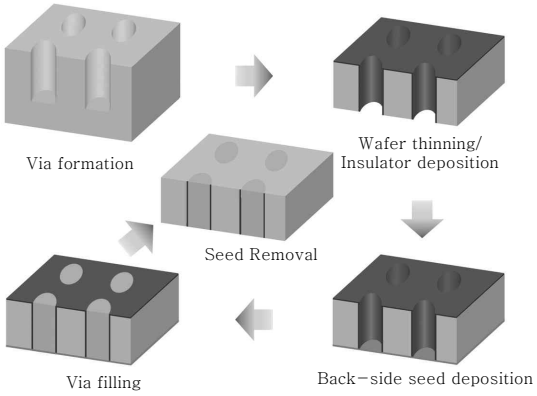


Fig. 6 Schematics of bottom-up via filling process

전해도금은 하단부터 충전이 시작되기 때문에 개구부 막힘이 없고, 기공이 없으며 종횡비가 높은 TSV 충전이 가능하다.

2.4 솔더 범프 형성 및 실리콘 웨이퍼 적층

3차원 실장을 위한 실리콘 칩간 연결을 위해 솔더 범프를 사용한다. TSV의 미세화 및 미세 피치화에 대응하는 솔더 범프 형성 방법으로는 전해도금이 가장 많이 사용된다. 전해도금으로 형성할 수 있는 솔더 범프의 조성은 Sn, Sn-Ag, Sn-Cu, Sn-Ag-Cu 등 다양하지만 본절에서는 Cu 충전된 TSV 위에 Sn 범프를 형성하는 방법에 대해서 서술하였다.

일반적으로 리소그라피 공정을 이용하여 솔더 범프를 제조할 경우 PR 코팅, 필름 마스킹, UV 노광, patterning, PR 제거 등 여러 단계가 요구된다. 반면에 저자 등이 연구 발표한 non-PR 범핑 공정을 이용하면 리소그라피와 관련된 5-6개 공정을 생략할 수 있어 시간뿐만 아니라 비용 절감에도 효과적이다[3,12,13].

Non-PR 솔더 범핑법에 의한 전해도금은 앞 절에서 서술한 Cu 충전된 TSV를 Sn 범프 형성용 전극으로 사용하고, Pt 판을 양극으로 사용하였다. 두 전극을 황산 기반 Sn 도금액에 일정한 거리를 유지하게 건욕시키고, 도금액을 자석 막대바를 이용하여 교반하면서 실온에서 도금을 실시하였다. 전해도금 중 전압 변화 측정을 위해 포화 칼로멜 전극 (SCE, Saturated Calomel Electrode)를 표준전극으로 사용하였다. 그림 7에 도금 장치를 도식적으로 나타내었으며, 그림 8에 non-PR 솔더 범핑법으로 형성한 Sn 범프의 모습을 나타내었다. Non-PR 솔더 범핑법으로 형성한 Sn 범프의 리플로 후 모습을 그림 9에 나타내었다. 리플로 후 Sn 범프는 전해도금 상태의 Sn 범프 보다 구형에 가까운 모습을

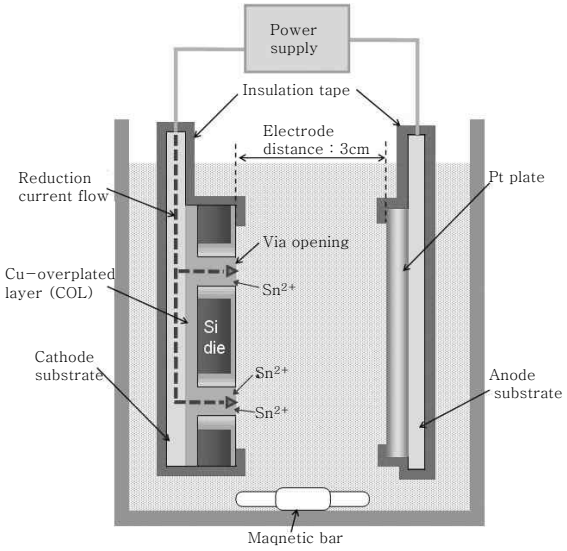
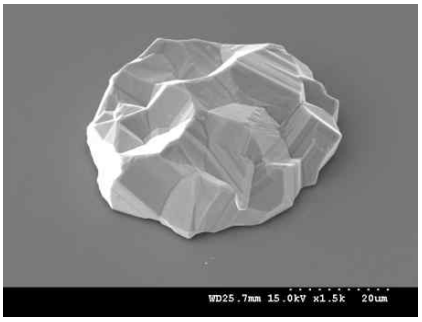
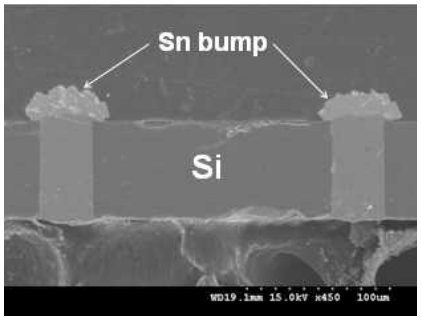


Fig. 7 Schematic diagram of the reduction current flow from the cathode substrate to via opening[3]



(a)

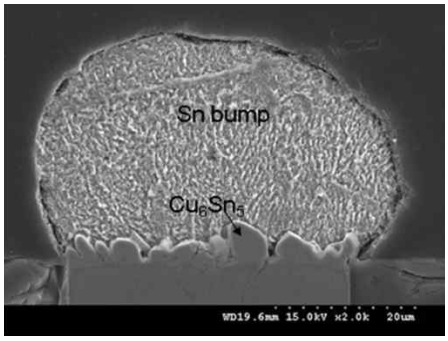


(b)

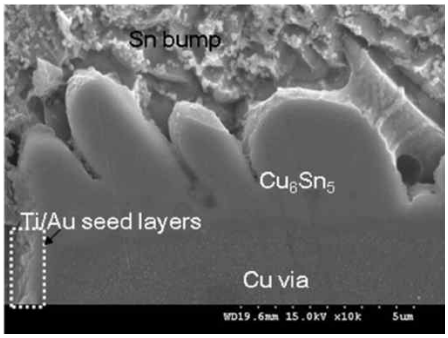
Fig. 8 Sn Bumps formed on the Cu filling by DC electroplating without PR mould; (a) bump appearance and (b) cross section of bumps[3]

보였으며, Sn/Cu 계면에 금속간화합물인 Cu_6Sn_5가 형성되었다.

웨이퍼 칩간 적층 방법에는 초음파 (ultrasonic) 접합[14], 열압축 (thermo-compression) 접합[15], 리플로 솔더링[13] 등이 있다. 초음파 접합과 열압축 접합을 이용하



(a)



(b)

Fig. 9 Cross section of Sn bump after reflow (a), and interfacial IMC (b)[13]

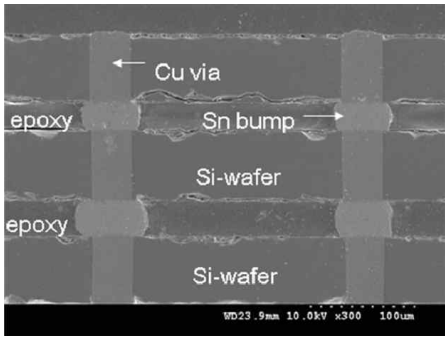


Fig. 10 Cross section of Si-dice stacking by reflow soldering[13]

여 3차원으로 적층 할 경우 작용하는 압력에 의해 얇은 웨이퍼가 부서질 수 있다. 그림 10에는 리플로 솔더링에 의해 적층된 실리콘 칩의 모습을 나타내었다.

3. 결 론

TSV를 이용한 3차원 실장에 대한 전반적인 기술과 제조 원가 절감이 가능한 non-PR 솔더 범프에 대한 기술을 소개하였다. 차세대 TSV를 이용한 패키징 기술은 저렴하면서 더 미세하고 높은 종횡비를 갖는 비아홀을 단시간에 충전할 수 있어야 하며, 열적 기계적 안정성을 가져야 한다. 또한, TSV를 이용한 3차원 실장 기술의 실용화를 위해서는 현재의 웨이퍼 칩간 적층 수준에서 웨이퍼간 적층 수준으로 크기를 증가시키는 기술 발전도 계속되어야 할 것이다. 본고에서 소개한 non-PR 솔더 범핑은 리소그라피 공정을 생략함으로써 가격 경쟁력 확보 및 생산성 증대가 가능하여 3차원 패키징의 대면적화에도 기여할 것으로 기대된다.

감사의 글

본 연구는 Seoul R&BD 프로그램(No.10890)의 지원으로 수행되었습니다.

참 고 문 헌

1. J. H. Lau, “Evolution and Outlook of TSV and 3D IC/Si Integration”, 12th Electronics Packaging Technology Conference, EPTA 2010, (2010), 560-570
2. S. J. Hong, Y. W. Lee, K. S. Kim, K. J. Lee, J. O. Kim, J. H. Park, and J. P. Jung : Filling via hole in Si-wafer for 3 Dimensional Packaging, The Korean Welding and Joining Society Conference, 2006 (in Korean)
3. J. H. Jun, I. R Kim, M. Mayer, Y. N. Zhou, S. B. Jung, and J. P. Jung, “A New Non-PRM Bumping Process by Electroplating on Si Die for Three Dimensional Packaging”, Materials Transactions, 51-10 (2010), 1887-1892
4. I. R. Kim, J. K. Park, Y. C. Chu, and J. P. Jung : High Speed Cu Filling Into TSV by Pulsed Current for 3 Dimensional Chip Stacking, Kor. J. Met. Mater., 48-7 (2010), 667-673 (in Korean)
5. F. Inoue, T. Shimizu, T. Yokoyama, H. Miyake, K. Kondo, T. Saito, T. Hayashi, S. Tanaka, T. Terui, and S. Shingubara : Formation of electroless barrier and seed layers in a high aspect ratio through-Si vias using Au nanoparticle catalyst for all-wet Cu filling technology, Electrochimica Acta, 56 (2011), 6245-6250
6. T. Luah, C. T. Su, T. H. Yang, K. C. Chen, and C. Y. Lu : Advanced tungsten plug process for beyond nanometer technology, Microelectronic Engineering, 85 (2008), 1739-1747
7. E. M. Chow, V. Chandrasekaran, A. Partridge, T. Nishida, M. Sheplak, C. F. Quate, and T. W. Kenny. : Process Compatible Polysilicon-Based Electrical Through-Wafer Interconnects in Silicon Substrates, J. Micro Electromechanical Sys., 11-6 (2002), 631-640
8. T. Takizawa, S. Yamamoto, K. Otsubo, and A. Kawasaki : Conductive interconnections through thick silicon substrates for 3D packaging, Proceedings of the IEEE Micro Electro Mechanical Systems (MEMS), 2002, 388-391

9. P. Dixit, X. Chen, J. Miao, S. Divakaran, and R. Preisser : Study of surface treatment processes for improvement in the wettability of silicon-based materials used in high aspect ratio through-via copper electroplating, Applied Surface Science, 253 (2007), 8637-8646
10. A. Pohjoranta and R. Tenno : A method for microvia-fill process modeling in a Cu plating system with additives, J. Electrochemical Soc., 154 (2007), D502-D509
11. B. O. Lim, K. S. Choi, Y. S. Eom, H. C. Bae, S. Jung, K. J. Sung, and J. T. Moon . : Optimized TSV Process Using Bottom-Up Electroplating without Wafer Cracks, Electronic Components and Technology Conference, 2010, 1642-1646
12. S. J. Hong, S. C. Hong, W. J. Kim, and J. P, Jung : Copper Filling to TSV (Through-Si-Via) and Simplification of Bumping Process, Journal of the Microelectronics & Packaging Society, 17-3 (2010), 79-84 (in Korean)
13. S. J. Hong, J. H. Jun, J. P. Jung, M. Mayer, and Y. Norman Zhou : Sn Bumping Without Photoresist Mould and Si Dice Stacking for 3-D Packaging, IEEE Transactions on advanced packaging, 22-4 (2010), 912-917
14. D. R. Flanders, E. G. Jacobs, and R. F. Pinizzotto : Acivation energies of intermetallic growth of Sn-Ag eutectic solder on copper substrates, J. electron. Mater., 26-7 (1997), 883-887
15. T. Morifuji, Y. Tomita, T. sato, and K. Takahashi : High accuracy interconnection technologies on 3-D stacking Process, in Proc. MATE, (2001), 113-118 (in Japanese)

·노명훈
·1980년생
·서울시립대학교 대학원생(박사과정)
·전해도금 범프 형성 연구
·e-mail : mhroh@uos.ac.kr

·박상윤
·1986년생
·서울시립대학교 대학원생(석사과정)
·전해도금 특성 평가 연구
·e-mail : risspu@uos.ac.kr

·김원중
·1956년생
·서울시립대학교 교수
·금속 가공
·e-mail : wjkim@uos.ac.kr

·정재필
·1959년생
·서울시립대학교 교수
·마이크로접합, 전자패키징, 전해도금
·e-mail : jpjung@uos.ac.kr